

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-245316

(43)Date of publication of application : 19.09.1995

(51)Int.Cl.

H01L 21/331

H01L 29/73

H01L 29/205

(21)Application number : 06-036079

(71)Applicant : FUJITSU LTD

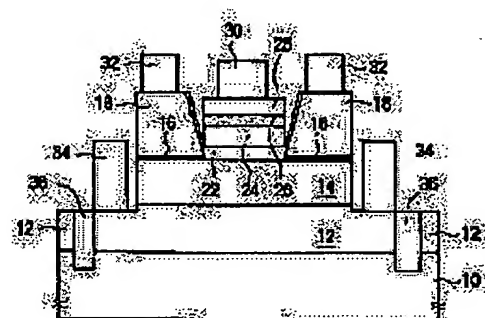
(22)Date of filing : 07.03.1994

(72)Inventor : YAMADA HIROSHI

(54) HETEROJUNCTION BIPOLAR TRANSISTOR AND ITS MANUFACTURE**(57)Abstract:**

PURPOSE: To provide an HBT which is high in operating speed, low in power consumption, and has excellent element characteristics by reducing the thickness of an intrinsic base layer under high controllability and reducing the sheet resistance and contact resistance of an external base layer.

CONSTITUTION: A p⁺-type GaAs intrinsic base layer 22, n-type Al_{0.25}Ga_{0.75}As emitter layer 24, etc., are successively formed on the central part of an n-type GaAs collector layer 14. In addition, a p⁺-type GaAs external base layer 18 is formed on the collector layer 14 around the base layer 22 with an n-type InGaP etching stopper layer 16 in between. The base layer 22, emitter layer 24, etc., etc., are regrown on the collector layer 14 exposed by selectively etching the base layer 18 by utilizing the etching stopper layer 16.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

563-(666) 2 1254

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-245316

(43) 公開日 平成7年(1995)9月19日

(51) Int. Cl. ⁴	識別記号	庁内整理番号	P I	技術表示箇所
H 0 1 L 21/331 29/73 29/205				
			H 0 1 L 29/ 72 29/ 205	
			審査請求 未請求 請求項の数9 OL (全 15 頁)	
(21) 出願番号	特願平6-36079	(71) 出願人	00005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地	
(22) 出願日	平成6年(1994)3月7日	(72) 発明者	山田 浩 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内	
		(74) 代理人	弁理士 北野 好人	

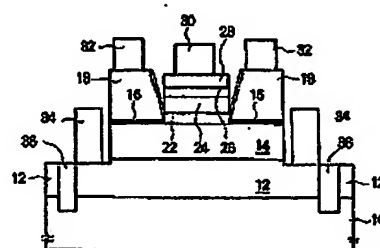
(54) 【発明の名称】 ヘテロ接合バイポーラトランジスタ及びその製造方法

(57) 【要約】

【目的】 本発明は、真性ベース層を制御性よく薄層化し、外部ベース層のシート抵抗及びコンタクト抵抗を低減して、高速性・低消費電力性に優れ、かつ良好な素子特性を有するHBTを提供することを目的とする。

【構成】 n -GaAsコレクタ層14上の中央部に、 p -GaAs真性ベース層22及び n -Al_{0.21}Ga_{0.79}Asエミッタ層24等が順に形成されている。 p -GaAs真性ベース層22の周囲の n -GaAsコレクタ層14上に、 n -InGaPエッチングストップ層16を介して p -GaAs外部ベース層18が形成されている。ここで、 p -GaAs真性ベース層22及び n -Al_{0.21}Ga_{0.79}Asエミッタ層24等は、 n -InGaPエッチングストップ層16を利用した p -GaAs外部ベース層18の選択エッチングにより露出させた n -GaAsコレクタ層14上に再成長させたものである。

本発明の第1の実施例によるHBTを示す断面図



- 10...半導体基板
- 12... n -GaAsサブコレクタ層
- 14... n -GaAsコレクタ層
- 16... n -InGaPエッチングストップ層
- 18... p -GaAs外部ベース層
- 20...Si₃N₄マスク層
- 22... p -GaAs真性ベース層
- 24... n -Al_{0.21}Ga_{0.79}Asエミッタ層
- 26... p -Al_{0.21}Ga_{0.79}Asグレーデッド層
- 28... p -GaAsエミッタコンタクト層
- 30...エミッタ電極
- 32...ベース電極
- 34...コレクタ電極
- 36...素子間分離溝

(2)

特開平7-245316

1

【特許請求の範囲】

【請求項1】 コレクタ層と、

前記コレクタ層上に形成された真性ベース層と、

前記真性ベース層周囲の前記コレクタ層上に、エッチングストップ層を介して形成された外部ベース層と、

前記真性ベース層上に形成され、前記真性ベース層より大きなバンドギャップをもつエミッタ層とを有することを特徴とするヘテロ接合バイポーラトランジスタ、

【請求項2】 コレクタ層と、

前記コレクタ層上に形成されたベース層と、

前記ベース層上に形成された真性ベース層と、

前記真性ベース層周囲の前記ベース層上に、エッチングストップ層を介して形成された外部ベース層と、

前記真性ベース層上に形成され、前記真性ベース層より大きなバンドギャップをもつエミッタ層とを有することを特徴とするヘテロ接合バイポーラトランジスタ、

【請求項3】 コレクタ層と、

前記コレクタ層上に形成されたベース層と、

前記ベース層上に形成され、前記ベース層より大きなバンドギャップをもつエミッタ層と、

前記エミッタ層周囲の前記ベース層上に、エッチングストップ層を介して形成された外部ベース層とを有することを特徴とするヘテロ接合バイポーラトランジスタ、

【請求項4】 請求項1乃至3のいずれかに記載のヘテロ接合バイポーラトランジスタにおいて、

前記外部ベース層側壁に、サイドウォール層が形成されていることを特徴とするヘテロ接合バイポーラトランジスタ、

【請求項5】 コレクタ層上に、エッチングストップ層

及び外部ベース層を順に成長させる工程と、

前記外部ベース層上に所定の形状にパターンニングしたマスク層を形成する工程と、

前記マスク層をマスクとして、前記外部ベース層を前記エッチングストップ層に達するまで選択的にエッチングした後、露出した前記エッチングストップ層を選択的にエッチングして、前記コレクタ層を露出させる工程と、露出した前記コレクタ層上に、真性ベース層及び前記真性ベース層より大きなバンドギャップをもつエミッタ層を順に成長させる工程とを有することを特徴とするヘテロ接合バイポーラトランジスタの製造方法、

【請求項6】 コレクタ層上に、ベース層、エッチング

ストップ層及び外部ベース層を順に成長させる工程と、前記外部ベース層上に所定の形状にパターンニングしたマスク層を形成する工程と、

前記マスク層をマスクとして、前記外部ベース層を前記エッチングストップ層に達するまで選択的にエッチングした後、露出した前記エッチングストップ層を選択的にエッチングして、前記ベース層を露出させる工程と、露出した前記ベース層上に、真性ベース層及び前記真性ベース層より大きなバンドギャップをもつエミッタ層を

2

順に成長させる工程とを有することを特徴とするヘテロ接合バイポーラトランジスタの製造方法、

【請求項7】 コレクタ層上に、ベース層、エッチングストップ層及び外部ベース層を順に成長させる工程と、前記外部ベース層上に所定の形状にパターンニングしたマスク層を形成する工程と、

前記マスク層をマスクとして、前記外部ベース層を前記エッチングストップ層に達するまで選択的にエッチングした後、露出した前記エッチングストップ層を選択的にエッチングして、前記ベース層を露出させる工程と、

露出した前記ベース層上に、前記ベース層より大きなバンドギャップをもつエミッタ層を成長させる工程とを有することを特徴とするヘテロ接合バイポーラトランジスタの製造方法、

【請求項8】 請求項5乃至7のいずれかに記載のヘテロ接合バイポーラトランジスタの製造方法において、前記外部ベース層を選択的にエッチングした後、前記外部ベース層側壁に、サイドウォール層を形成することを特徴とするヘテロ接合バイポーラトランジスタの製造方法、

【請求項9】 請求項8に記載のヘテロ接合バイポーラトランジスタの製造方法において、

前記サイドウォール層の形成を、前記エッチングストップ層を選択的にエッチングする前に行うことを特徴とするヘテロ接合バイポーラトランジスタの製造方法、

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ヘテロ接合バイポーラトランジスタ(Hetero-junction Bipolar Transistor; HBT)及びその製造方法に関する、

【0002】

【従来の技術】エミッタにワイドバンドギャップの半導体を用いるHBTは、エミッタ注入効率が高く電流利得が高いこと、また高い電流利得を維持しつつベース抵抗を小さくできることから、高周波特性と高速スイッチング特性に優れ、従来の半導体素子では成しえなかったような超高速デジタル処理が可能である。そして超高速通信の分野ではその高い性能が既に実証され、その実用化が期待されている、

【0003】しかし、集積回路への応用を考えると消費電力が問題となり、如何に微細化を行い、少ない電流でデバイスを動作させ、かつその高速性を更に引き出すかが課題となっている。微細化については、現状のHBTがメザ構造であることから、エミッタ幅が1 μ m以下の加工は難しく、これ以上の微細化は困難である。高速化については、HBTは通常のバイポーラトランジスタに比べ1桁程度ベース濃度を高く設定できることから、通常トレードオフの関係にある、ベース薄層化によるベース走行時間の短縮とベース抵抗の低減とを両立させることが可能である。このため高い高速性を有するわけで

(3)

特開平7-245316

3

あるが、ベースの高濃度化にも限界があり、現状の構造ではこれ以上の高速化は難しい。

【0004】そのため、現状の構造のもつこれらの技術課題を解決できる一つの手段として、再成長を用いたHBTが注目されている。以下、外部ベースに再成長を用いたHBTの製造方法を、図13を用いて説明する。半絶縁性GaAs基板50上に、 n^+ -GaAsサブコレクタ層52、 n -GaAsコレクタ層54、 p -GaAsベース層56、 n -AlGaAsエミッタ層58、 n^+ -GaAsエミッタキャップ層60、WSi層62、及びSiO₂層64を順に形成する。

【0005】続いて、このSiO₂層64上に、レジスト膜を塗布した後、所定の形状にパターンニングする。そしてこのパターンニングしたレジスト膜をマスクとして、SiO₂層64、WSi層62、 n^+ -GaAsエミッタキャップ層60、及び n -AlGaAsエミッタ層58をメサエッチングして、 n -AlGaAsエミッタ層58を露出させる。その後、レジスト膜を除去する(図13(a)参照)。

【0006】次いで、残存する n -AlGaAsエミッタ層58及び p -GaAsベース層56をメサエッチングして、 n -GaAsコレクタ層54を露出させる。続いて、全面にSiO₂層66を堆積した後、選択的に異方性エッチングを行い、残存する n -AlGaAsエミッタ層58表面を露出させると共に、メサ状のSiO₂層64、WSi層62、 n^+ -GaAsエミッタキャップ層60、及び n -AlGaAsエミッタ層58の側壁、並びに n -GaAsコレクタ層54上にSiO₂層66を残存させる(図13(b)参照)。

【0007】次いで、SiO₂層64及びSiO₂層66をマスクとして、 n -AlGaAsエミッタ層58及び p -GaAsベース層56を選択エッチングし、 n -GaAsコレクタ層54を露出させる。続いて、この露出した n -GaAsコレクタ層54上に、 p^+ -GaAs外部ベース層68上に、Ti/Pt/Auベース電極70を形成する。また、Hイオン注入により、 n -GaAsコレクタ層54から半絶縁性GaAs基板50にまで達する素子間分離領域72を形成し、素子分離を行う(図13(c)参照)。

【0008】次いで、SiO₂層66及び n -GaAsコレクタ層54を選択エッチングして、 n^+ -GaAsサブコレクタ層52を露出させた後、この露出した n^+ -GaAsサブコレクタ層52上に、AuGe/Ni/Auコレクタ電極74を形成する。続いて、全面にパッシベーション膜としてSiO₂層76を堆積した後、WSi層62上のSiO₂層76及びSiO₂層64を選択エッチングして、露出したWSi層62上に、Ti/Pt/Auエミッタ電極78を形成する(図13(d)参照)。こうしてHBTを完成させる。

4

【0009】このように、 p^+ -GaAs外部ベース層68を選択再成長することにより、 p -GaAsベース層56の真性ベース領域の特性とは無関係に、 p^+ -GaAs外部ベース層68を厚く、かつ高濃度に設定することができる。このため、真性ベース領域をなす p -GaAsベース層56を薄くしても p^+ -GaAs外部ベース層68のシート抵抗は高くなることはなく、また p^+ -GaAs外部ベース層68の濃度を極限まで高くしても電流利得等になんら影響を与えることはない。従って、ベース走行時間の短縮とベース抵抗の低減とを同時に達成することができる。

【0010】しかし、上記従来の p^+ -GaAs外部ベース層68を再成長するHBTにおいても、それがメサ構造であることから、その微細化には一定の限界がある。そのため、エミッタに再成長を用いたHBTが提案されている(特開平2-168629号参照)。以下、このHBTの製造方法を、図14を用いて説明する。 n^+ -GaAs基板80上に、 n^+ -GaAsバッファ層82、 n -GaAsコレクタ層84、及び p -GaAsベース層86を順に形成する(図14(a)参照)。

【0011】次いで、全面にPAS膜88を形成した後、選択エッチングにより開口部を形成する。この開口部の p -GaAsベース層86を所定の深さまでエッチングする。続いて、Asを照射しつつ720℃以上に昇温することにより、露出した p -GaAsベース層86表面を熱的にエッチングして、清浄なベース層表面を形成する(図14(b)参照)。

【0012】次いで、全面に、 n -AlGaAsエミッタ層90及び n^+ -GaAsエミッタキャップ層92を順に再成長する。このとき、 p -GaAsベース層90上の再結晶結晶は単結晶となり、PAS膜88上の再結晶結晶は高抵抗多結晶となる(図14(c)参照)。次いで、PAS膜88上の高抵抗多結晶を除去した後、フォトリソグラフィ技術及びリフトオフ技術を用いて、 n^+ -GaAsエミッタキャップ層92上にエミッタ電極94を、 p -GaAsベース層86上にベース電極96を、 n -GaAsコレクタ層84上にコレクタ電極98を、それぞれ形成する(図14(d)参照)。こうしてHBTを完成させる。

【0013】このように、 n^+ -GaAsバッファ層82から厚い層厚の p -GaAsベース層86まで順に成長させた後、エミッタ領域となる部分をエッチングして p -GaAsベース層86を薄層化し、この p -GaAsベース層86上に n -AlGaAsエミッタ層90を再成長することにより、 p -GaAsベース層86の真性ベース領域を薄くし、外部ベース領域を厚くすることができる。従って、ベース走行時間の短縮とベース抵抗の低減とを同時に達成することが可能であり、現状の構造の限界を超える高速化が可能である。またこの構造はメサ構造でないため、微細化にも有利である。

(4)

特開平7-245316

5

【0014】

【発明が解決しようとする課題】しかし、上記従来のエミッタに再成長を用いたHBTにおいては、図14

(b)に示すように、p-GaAsベース層86の厚さをエッチングにより制御するため、制御性や再現性が悪く、従ってベースの薄層化を制限して高速化が妨げられるという問題があった。

【0015】また、エミッタの再成長においては、p-GaAsベース層86上にn-AlGaAsエミッタ層90を再成長するため、エミッタ・ベース接合と再成長界面が一致することから、再成長界面のコンタミネーションが素子特性に大きな影響を及ぼし、電流利得等の素子特性を低下させてしまうという問題があった。そこで本発明は、上記の問題点を鑑み、真性ベース層を制御性よく薄層化し、外部ベース層のシート抵抗及びコンタクト抵抗を低減して、高速性・低消費電力性に優れ、かつ良好な素子特性を有するHBTを提供することを目的とする。

【0016】

【課題を解決するための手段】上記課題は、コレクタ層と、前記コレクタ層上に形成された真性ベース層と、前記真性ベース層周囲の前記コレクタ層上に、エッチングストップ層を介して形成された外部ベース層と、前記真性ベース層上に形成され、前記真性ベース層より大きなバンドギャップをもつエミッタ層とを有することを特徴とするヘテロ接合バイポーラトランジスタによって達成される。

【0017】また、上記課題は、コレクタ層と、前記コレクタ層上に形成されたベース層と、前記ベース層上に形成された真性ベース層と、前記真性ベース層周囲の前記ベース層上に、エッチングストップ層を介して形成された外部ベース層と、前記真性ベース層上に形成され、前記真性ベース層より大きなバンドギャップをもつエミッタ層とを有することを特徴とするヘテロ接合バイポーラトランジスタによって達成される。

【0018】また、上記課題は、コレクタ層と、前記コレクタ層上に形成されたベース層と、前記ベース層上に形成され、前記ベース層より大きなバンドギャップをもつエミッタ層と、前記エミッタ層周囲の前記ベース層上に、エッチングストップ層を介して形成された外部ベース層とを有することを特徴とするヘテロ接合バイポーラトランジスタによって達成される。

【0019】また、上記のヘテロ接合バイポーラトランジスタにおいて、前記外部ベース層側壁に、サイドウォール層が形成されていることを特徴とするヘテロ接合バイポーラトランジスタによって達成される。また、上記課題は、コレクタ層上に、エッチングストップ層及び外部ベース層を順に成長させる工程と、前記外部ベース層上に所定の形状にパターンニングしたマスク層を形成する工程と、前記マスク層をマスクとして、前記外部ベース

6

層を前記エッチングストップ層に達するまで選択的にエッチングした後、露出した前記エッチングストップ層を選択的にエッチングして、前記コレクタ層を露出させる工程と、露出した前記コレクタ層上に、真性ベース層及び前記真性ベース層より大きなバンドギャップをもつエミッタ層を順に成長させる工程とを有することを特徴とするヘテロ接合バイポーラトランジスタの製造方法によって達成される。

【0020】また、上記課題は、コレクタ層上に、ベース層、エッチングストップ層及び外部ベース層を順に成長させる工程と、前記外部ベース層上に所定の形状にパターンニングしたマスク層を形成する工程と、前記マスク層をマスクとして、前記外部ベース層を前記エッチングストップ層に達するまで選択的にエッチングした後、露出した前記エッチングストップ層を選択的にエッチングして、前記ベース層を露出させる工程と、露出した前記ベース層上に、真性ベース層及び前記真性ベース層より大きなバンドギャップをもつエミッタ層を順に成長させる工程とを有することを特徴とするヘテロ接合バイポーラトランジスタの製造方法によって達成される。

【0021】また、上記課題は、コレクタ層上に、ベース層、エッチングストップ層及び外部ベース層を順に成長させる工程と、前記外部ベース層上に所定の形状にパターンニングしたマスク層を形成する工程と、前記マスク層をマスクとして、前記外部ベース層を前記エッチングストップ層に達するまで選択的にエッチングした後、露出した前記エッチングストップ層を選択的にエッチングして、前記ベース層を露出させる工程と、露出した前記ベース層上に、前記ベース層より大きなバンドギャップをもつエミッタ層を成長させる工程とを有することを特徴とするヘテロ接合バイポーラトランジスタの製造方法によって達成される。

【0022】また、上記のヘテロ接合バイポーラトランジスタの製造方法において、前記外部ベース層を選択的にエッチングした後、前記外部ベース層側壁に、サイドウォール層を形成することを特徴とするヘテロ接合バイポーラトランジスタの製造方法によって達成される。また、上記のヘテロ接合バイポーラトランジスタの製造方法において、前記サイドウォール層の形成を、前記エッチングストップ層を選択的にエッチングする前に行うことが望ましい。

【0023】

【作用】本発明では、コレクタ層又はベース層と外部ベース層との間にエッチングストップ層を設け、このエッチングストップ層により外部ベース層の選択的エッチングを強制的に停止させた後、露出させたコレクタ層又はベース層上に真性ベース層及びエミッタ層を順に再成長させることにより、真性ベース領域の厚さがエッチングによって制御されるのではなく結晶成長によって制御されるため、その制御性や再現性は飛躍的に向上し、真性

(5)

特開平7-245316

7

ベース層を極限まで薄層化することが可能となる。

【0024】また、再成長界面がベース・コレクタ接合面又はベース中となり、素子特性に大きな影響を与えるエミッタ・ベース接合面ではないため、再成長に伴う再成長界面のコンタミネーションがエミッタ・ベース接合面にまで影響することはなく、良好な素子特性を実現することができる。また、エミッタ・ベース接合面積は、メザ構造によって決定されるのではなく、外部ベース層の選択エッチングにより形成する開口部の大きさによって決定されるため、素子の微細化が可能であり、低消費電力化に有利である。

【0025】更に、開口部内の外部ベース層側壁にサイドウォール層を形成することにより、真性ベース層及びエミッタ層を再成長させる開口部の大きさを制御することができるため、エミッタ・ベース接合面積を更に微細化することが可能となる。このように本発明によれば、微細化が可能であり、良好な高周波特性を有するHBTを容易に得ることができる。

【0026】

【実施例】以下、本発明を図示する実施例を用いて具体的に説明する。図1は本発明の第1の実施例によるHBTを示す断面図である。半絶縁性GaAs基板10上に、厚さ500nmのn⁺-GaAsサブコレクタ層12及び厚さ500nmのn-GaAsコレクタ層14が形成されている。そしてこのn-GaAsコレクタ層14上の中央部には、厚さ20nmのp⁺-GaAs真性ベース層22が形成されており、このp⁺-GaAs真性ベース層22上には、厚さ200nmのn-Al_{0.25}Ga_{0.75}Asエミッタ層24、厚さ50nmのn⁺-Al_{0.25}Ga_{0.75}As (x=0~0.25) グレーデッド層26、及び厚さ100nmのn⁺-GaAsエミッタコンタクト層28が順に形成されている。

【0027】また、p⁺-GaAs真性ベース層22の周囲のn-GaAsコレクタ層14上には、厚さ4nmのn-InGaPエッチングストップ層16を介して、厚さ500nm、ドーピング濃度約 $1 \times 10^{18} \text{ cm}^{-3}$ のp⁺-GaAs外部ベース層18が形成されている。また、n⁺-GaAsエミッタコンタクト層28上には、例えばAuGe/Auからなるエミッタ電極30がオーミック接触して形成され、p⁺-GaAs外部ベース層18上には、例えばCr/Auからなるベース電極32がオーミック接触して形成され、n⁺-GaAsサブコレクタ層12上には、例えばAuGe/Auからなるコレクタ電極34がオーミック接触して形成されている。

【0028】また、n⁺-GaAsサブコレクタ層12から半絶縁性GaAs基板10に達するまでO等のイオンが注入された素子間分離領域36が形成され、HBTの素子分離を行っている。次に、図1のHBTの製造方法を、図2及び図3に示す工程図を用いて説明する。

【0029】半絶縁性GaAs基板10上に、MBE又

8

はMOCVDなどの結晶成長法により、厚さ500nmのn⁺-GaAsサブコレクタ層12、厚さ500nmのn-GaAsコレクタ層14、厚さ4nmのn-InGaPエッチングストップ層16、及び厚さ500nm、ドーピング濃度約 $1 \times 10^{18} \text{ cm}^{-3}$ のp⁺-GaAs外部ベース層18を順にエピタキシャル成長する(図2(a)参照)。

【0030】次いで、p⁺-GaAs外部ベース層18上に、SiNマスク層20を形成した後、所定の形状にパターンニングする。そしてこのパターンニングしたSiNマスク層20をエッチングマスクとして、p⁺-GaAs外部ベース層18をn-InGaPエッチングストップ層16に達するまで選択エッチングし、開口部を形成する。このとき、n-InGaPエッチングストップ層16は、p⁺-GaAs外部ベース層18の選択エッチングに対するストップとして機能する。

【0031】続いて、この開口部内の露出したn-InGaPエッチングストップ層16を選択的にエッチング除去して、n-GaAsコレクタ層14を露出させる

(図2(b)参照)。次いで、開口部内の露出したn-GaAsコレクタ層14上に、ALE (Atomic Layer Epitaxy) などの等方性結晶成長法により、厚さ20nmのp⁺-GaAs真性ベース層22を選択再成長する。続いて、このp⁺-GaAs真性ベース層22上に、MBE (Molecular Beam Epitaxy) 又はMOCVD (Metal Organic Chemical Vapor Deposition) などの結晶成長法により、厚さ200nmのn-Al_{0.25}Ga_{0.75}Asエミッタ層24、厚さ50nmのn⁺-Al_{0.25}Ga_{0.75}As グレーデッド層26、及び厚さ100nmのn⁺-GaAsエミッタコンタクト層28を順に選択再成長する(図3(c)参照)。

【0032】次いで、このn⁺-GaAsエミッタコンタクト層28上に、例えばAuGe/Auからなるエミッタ電極30をオーミック接触させて形成し、また、p⁺-GaAs外部ベース層18上に、例えばCr/Auからなるベース電極32をオーミック接触させて形成する。続いて、p⁺-GaAs外部ベース層18、n-InGaPエッチングストップ層16、n-GaAsコレクタ層14、及びn⁺-GaAsサブコレクタ層12上面をウェットエッチング等によりメザエッチングして、n⁺-GaAsサブコレクタ層12を露出させ、この露出したn⁺-GaAsサブコレクタ層12上に、例えばAuGe/Auからなるコレクタ電極34をオーミック接触させて形成する。

【0033】続いて、O等のイオン注入により、n⁺-GaAsサブコレクタ層12から半絶縁性GaAs基板10に達する素子間分離領域36を形成し、素子分離を行う(図3(d)参照)。こうして、図1に示すHBTが得られる。このように本実施例によれば、n-GaAsコレクタ層14とp⁺-GaAs外部ベース層18と

(5)

特開平7-245316

9

の間に n - InGaP エッチングストップ層16を設け、この n - InGaP エッチングストップ層16を利用した p^+ - GaAs 外部ベース層18の選択エッチングによって露出させた n - GaAs コレクタ層14上に p^+ - GaAs 真性ベース層22を選択再成長していることにより、 p^+ - GaAs 真性ベース層22の厚さは、エッチングによって制御されるのではなく、ALE法などによる結晶成長によって制御されるため、その制御性や再現性は飛躍的に向上する。従って、いくら薄くしてもベース電極32の形成等の他の工程に影響を及ぼすことなく、パンチスルー等のデバイス物理の限界まで薄くすることが可能となり、ベース走行時間を極限まで小さくすることができる。

【0034】また、 p^+ - GaAs 外部ベース層18は、 p^+ - GaAs 真性ベース層22と n - $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}$ エミッタ層24との pn 接合の特性等に関係なく高濃度にドーピングできる上に、いくら厚くしてもベース走行時間には全く影響を及ぼさないため、 p^+ - GaAs 外部ベース層18のシート抵抗及びベース電極32とのコンタクト抵抗の両方とも極限まで低減することができる。

【0035】また、 n - GaAs コレクタ層14上に p^+ - GaAs 真性ベース層22等を再成長し、素子特性に大きな影響を与えるエミッタ・ベース接合面を再成長界面とするものではないため、再成長に伴い再成長界面に多少のコンタミネーションが生じてもエミッタ・ベース接合にまで大きく影響することはなく、良好な素子特性を実現することができる。

【0036】更に、エミッタ・ベース接合面積は、メサ構造によって決定されるのではなく、 SiN マスク層20をエッチングマスクとする p^+ - GaAs 外部ベース層18の選択エッチングにより形成する開口部の大きさによって決定されるため、エミッタ幅が $1\mu\text{m}$ 以下の微細加工も容易である。従って、素子の微細化が可能であり、低消費電力化に有利である。

【0037】次に、本発明の第2の実施例によるHBTを、図4を用いて説明する。図4は第2の実施例によるHBTを示す断面図である。尚、上記図1に示すHBTと同一構成要素には同一符号を付して説明を省略する。半絶縁性 GaAs 基板10上に、 n^+ - GaAs サブコレクタ層12、 n - GaAs コレクタ層14、及び厚さ 15nm の p^+ - GaAs ベース層38が順に形成されている。そしてこの p^+ - GaAs ベース層38上の中央部には、厚さ 15nm の p^+ - GaAs 真性ベース層22が形成されており、この p^+ - GaAs 真性ベース層22上には、 n - $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}$ エミッタ層24、 n^+ - $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}$ グレーデッド層26、及び n^+ - GaAs エミッタコンタクト層28が順に形成されている。

【0038】また、 p^+ - GaAs 真性ベース層22の

10

周囲の p^+ - GaAs ベース層38上には、 n - InGaP エッチングストップ層16を介して、 p^+ - GaAs 外部ベース層18が順に形成されている。また、 n^+ - GaAs エミッタコンタクト層28上には、エミッタ電極30がオーミック接触して形成され、 p^+ - GaAs 外部ベース層18上には、ベース電極32がオーミック接触して形成され、 n^+ - GaAs サブコレクタ層12上には、コレクタ電極34がオーミック接触して形成されている。

19 【0039】また、 n^+ - GaAs サブコレクタ層12から半絶縁性 GaAs 基板10に達するまで0等のイオンが注入された素子間分離領域36が形成され、HBTの素子分離を行っている。このように、本実施例によるHBTは、上記第1の実施例によるHBTが n - GaAs コレクタ層14と p^+ - GaAs 外部ベース層18との間に n - InGaP エッチングストップ層16を設けているのに対して、 p^+ - GaAs ベース層38と p^+ - GaAs 外部ベース層18との間に、即ち広義のベース層中に n - InGaP エッチングストップ層16を設けている点に特徴がある。

【0040】次に、図4のHBTの製造方法を、図5及び図6に示す工程図を用いて説明する。尚、上記図2及び図3に示すHBTと同一構成要素には同一符号を付して説明を省略する。半絶縁性 GaAs 基板10上に、 n^+ - GaAs サブコレクタ層12、 n - GaAs コレクタ層14、厚さ 15nm の p^+ - GaAs ベース層38、 n - InGaP エッチングストップ層16、及び p^+ - GaAs 外部ベース層18を順にエピタキシャル成長する(図5(a)参照)。

30 【0041】次いで、 p^+ - GaAs 外部ベース層18上にパターンニングした SiN マスク層20をエッチングマスクとして、 p^+ - GaAs 外部ベース層18を n - InGaP エッチングストップ層16に達するまで選択エッチングし、開口部を形成する。続いて、この開口部内の露出した n - InGaP エッチングストップ層16を選択的にエッチング除去して、 p^+ - GaAs ベース層38を露出させる(図5(b)参照)。

40 【0042】次いで、開口部内の露出した p^+ - GaAs ベース層38上に、厚さ 15nm の p^+ - GaAs 真性ベース層22、 n - $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}$ エミッタ層24、 n^+ - $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}$ グレーデッド層26、及び n^+ - GaAs エミッタコンタクト層28を順に選択再成長する(図6(c)参照)。次いで、この n^+ - GaAs エミッタコンタクト層28上にエミッタ電極30を、 p^+ - GaAs 外部ベース層18上にベース電極32を、それぞれオーミック接触させて形成する。続いて、 p^+ - GaAs 外部ベース層18、 n - InGaP エッチングストップ層16、 p^+ - GaAs ベース層38、 n - GaAs コレクタ層14、及び n^+ - GaAs サブコレクタ層12上面をメサエッチングして n^+ - G

(7)

特開平7-245316

11

aAsサブコレクタ層12を露出させ、この露出したn⁺-GaAsサブコレクタ層12上にコレクタ電極34をオーミック接触させて形成する。

【0043】続いて、n⁺-GaAsサブコレクタ層12から半絶縁性GaAs基板10に達する素子間分離領域36を形成し、素子分離を行う(図6(d)参照)。こうして、図4に示すHBTが得られる。このように本実施例によれば、p⁺-GaAsベース層38とp⁺-GaAs外部ベース層18との間に、即ち広義のベース層中にn-InGaPエッチングストップ層16を設け、このn-InGaPエッチングストップ層16を利用したp⁺-GaAs外部ベース層18の選択エッチングによって露出させたp⁺-GaAsベース層38上にp⁺-GaAs真性ベース層22を選択再成長していることにより、真性ベース領域をなすp⁺-GaAsベース層38及びp⁺-GaAs真性ベース層22の厚さが結晶成長によって制御されること、p⁺-GaAs外部ベース層18が高濃度にドーピングできること、p⁺-GaAsベース層38上にp⁺-GaAs真性ベース層22を再成長し、エミッタ・ベース接合面を再成長界面としないうこと、エミッタ・ベース接合面積がp⁺-GaAs外部ベース層18に形成する開口部の大きさによって決定されること等から、上記第1の実施例の場合と同様の効果を奏することができる。

【0044】次に、本発明の第3の実施例によるHBTを、図7を用いて説明する。図7は第3の実施例によるHBTを示す断面図である。尚、上記図4に示すHBTと同一構成要素には同一符号を付して説明を省略する。半絶縁性GaAs基板10上に、n⁺-GaAsサブコレクタ層12、n-GaAsコレクタ層14、及び厚さ20nmのp⁺-GaAsベース層38が順に形成されている。そしてこのp⁺-GaAsベース層38上の中央部には、n-Al_{0.15}Ga_{0.85}Asエミッタ層24、n⁺-Al_{0.15}Ga_{0.85}Asグレーデッド層26、及びn⁺-GaAsエミッタコンタクト層28が順に形成されている。

【0045】また、n-Al_{0.15}Ga_{0.85}Asエミッタ層24の周囲のp⁺-GaAsベース層38上には、n-InGaPエッチングストップ層16を介して、p⁺-GaAs外部ベース層18が順に形成されている。また、n⁺-GaAsエミッタコンタクト層28上には、エミッタ電極30がオーミック接触して形成され、p⁺-GaAs外部ベース層18上には、ベース電極32がオーミック接触して形成され、n⁺-GaAsサブコレクタ層12上には、コレクタ電極34がオーミック接触して形成されている。

【0046】また、n⁺-GaAsサブコレクタ層12から半絶縁性GaAs基板10に達するまでO等のイオンが注入された素子間分離領域36が形成され、HBTの素子分離を行っている。次に、図7のHBTの製造方

12

法を、図8及び図9に示す工程図を用いて説明する。尚、上記図8及び図9に示すHBTと同一構成要素には同一符号を付して説明を省略する。

【0047】半絶縁性GaAs基板10上に、n⁺-GaAsサブコレクタ層12、n-GaAsコレクタ層14、厚さ20nmのp⁺-GaAsベース層38、n-InGaPエッチングストップ層16、及びp⁺-GaAs外部ベース層18を順にエピタキシャル成長する(図8(a)参照)。次いで、p⁺-GaAs外部ベース層18上にパターンニングしたSi₃N₄マスク層20をエッチングマスクとして、p⁺-GaAs外部ベース層18をn-InGaPエッチングストップ層16に達するまで選択エッチングし、開口部を形成する。続いて、この開口部内の露出したn-InGaPエッチングストップ層16を選択的にエッチング除去して、p⁺-GaAsベース層38を露出させる(図8(b)参照)。

【0048】次いで、開口部内の露出したp⁺-GaAsベース層38上に、n-Al_{0.15}Ga_{0.85}Asエミッタ層24、n⁺-Al_{0.15}Ga_{0.85}Asグレーデッド層26、及びn⁺-GaAsエミッタコンタクト層28を順に選択再成長する(図9(c)参照)。次いで、このn⁺-GaAsエミッタコンタクト層28上にエミッタ電極30を、p⁺-GaAs外部ベース層18上にベース電極32を、それぞれオーミック接触させて形成する。

続いて、p⁺-GaAs外部ベース層18、n-InGaPエッチングストップ層16、p⁺-GaAsベース層38、n-GaAsコレクタ層14、及びn⁺-GaAsサブコレクタ層12上面をメサエッチングしてn⁺-GaAsサブコレクタ層12を露出させ、この露出したn⁺-GaAsサブコレクタ層12上にコレクタ電極34をオーミック接触させて形成する。

【0049】続いて、n⁺-GaAsサブコレクタ層12から半絶縁性GaAs基板10に達する素子間分離領域36を形成し、素子分離を行う(図9(d)参照)。こうして、図7に示すHBTが得られる。このように本実施例によれば、p⁺-GaAsベース層38とp⁺-GaAs外部ベース層18との間に、即ち広義のベース層中にn-InGaPエッチングストップ層16を設け、このn-InGaPエッチングストップ層16を利用したp⁺-GaAs外部ベース層18の選択エッチングによって露出させたp⁺-GaAsベース層38上にn-Al_{0.15}Ga_{0.85}Asエミッタ層24を選択再成長していることにより、真性ベース領域をなすp⁺-GaAsベース層38の厚厚が結晶成長によって制御されること、p⁺-GaAs外部ベース層18が高濃度にドーピングできること、エミッタ・ベース接合面積がp⁺-GaAs外部ベース層18に形成する開口部の大きさによって決定されること等から、上記第2の実施例の場合とほぼ同様の効果を奏することができる。

【0050】但し、p⁺-GaAsベース層38上にn

(8)

特開平7-245316

13

-Al_{0.15}Ga_{0.85}Asエミッタ層24を再成長し、エミッタ・ベース接合面を再成長界面としているため、この再成長界面のコンタミネーションが素子特性に大きな影響を及ぼし、電流利得等の素子特性を低下させるという問題は解決されない。次に、本発明の第4の実施例によるHBTを、図10を用いて説明する。

【0051】図10は第4の実施例によるHBTを示す断面図である。尚、上記図1に示すHBTと同一構成要素には同一符号を付して説明を省略する。半絶縁性GaAs基板10上に、n⁺-GaAsサブコレクタ層12及びn-GaAsコレクタ層14が順に形成されている。そしてこのn-GaAsコレクタ層14上の中央部には、p⁺-GaAs真性ベース層22が形成されており、このp⁺-GaAs真性ベース層22上には、n-Al_{0.15}Ga_{0.85}Asエミッタ層24、n⁺-Al_{0.15}Ga_{0.85}Asグレーデッド層26、及びn⁺-GaAsエミッタコンタクト層28が順に形成されている。

【0052】また、p⁺-GaAs真性ベース層22の周囲のp⁺-GaAsベース層38上には、n-InGaPエッチングストップ層16を介して、p⁺-GaAs外部ベース層18が順に形成されている。そしてこのp⁺-GaAs外部ベース層18側壁には、SiNサイドウォール層40が形成されている点に本実施例の特徴がある。

【0053】また、n⁺-GaAsエミッタコンタクト層28上には、エミッタ電極30がオーミック接触して形成され、p⁺-GaAs外部ベース層18上には、ベース電極32がオーミック接触して形成され、n⁺-GaAsサブコレクタ層12上には、コレクタ電極34がオーミック接触して形成されている。また、n⁺-GaAsサブコレクタ層12から半絶縁性GaAs基板10にまで達する素子間分離領域36が形成され、HBTの素子分離を行っている。

【0054】次に、図10のHBTの製造方法を、図11及び図12に示す工程図を用いて説明する。尚、上記図2及び図3に示すHBTと同一構成要素には同一符号を付して説明を省略する。上記図2(a)～(b)に示す工程とはほぼ同様にして、半絶縁性GaAs基板10上に、n⁺-GaAsサブコレクタ層12、n-GaAsコレクタ層14、n-InGaPエッチングストップ層16、及びp⁺-GaAs外部ベース層18を順にエピタキシャル成長する。続いて、p⁺-GaAs外部ベース層18上にパターンニングしたSiNマスク層20をエッチングマスクとして、p⁺-GaAs外部ベース層18をn-InGaPエッチングストップ層16に達するまで選択エッチングし、開口部を形成する(図11(a)参照)。

【0055】次いで、全面にSiN膜を堆積した後、RIE(Reactive Ion Etching)を行い、開口部内のp⁺-GaAs外部ベース層18側壁にのみSiN膜を残存

14

させ、SiNサイドウォール層40を形成する(図11(b)参照)。次いで、開口部内に露出したn-InGaPエッチングストップ層16を選択的にエッチング除去して、n-GaAsコレクタ層14を露出させる(図12(c)参照)。

【0056】尚、p⁺-GaAs外部ベース層18側壁へのSiNサイドウォール層40の形成は、n-InGaPエッチングストップ層16を選択的にエッチング除去した後に行ってもよいが、既に露出しているn-GaAsコレクタ層14表面にコンタミネーションが生じる危険性が強いので、上記のように開口部内のn-InGaPエッチングストップ層16を選択的にエッチング除去してn-GaAsコレクタ層14を露出させる前に行うことが望ましい。

【0057】次いで、上記図3(c)～(d)に示す工程と同様にして、露出したn-GaAsコレクタ層14上に、p⁺-GaAs真性ベース層22、n-Al_{0.15}Ga_{0.85}Asエミッタ層24、n⁺-Al_{0.15}Ga_{0.85}Asグレーデッド層26、及びn⁺-GaAsエミッタコンタクト層28を順に選択再成長する。続いて、このn⁺-GaAsエミッタコンタクト層28上にエミッタ電極30を、p⁺-GaAs外部ベース層18上にベース電極32を、それぞれオーミック接触させて形成する。更に、p⁺-GaAs外部ベース層18、n-InGaPエッチングストップ層16、p⁺-GaAsベース層38、n-GaAsコレクタ層14、及びn⁺-GaAsサブコレクタ層12上面をメサエッチングしてn⁺-GaAsサブコレクタ層12を露出させ、この露出したn⁺-GaAsサブコレクタ層12上にコレクタ電極34をオーミック接触させて形成する。

【0058】続いて、n⁺-GaAsサブコレクタ層12から半絶縁性GaAs基板10に達する素子間分離領域36を形成し、素子分離を行う(図12(d)参照)。こうして、図4に示すHBTが得られる。このように本実施例によれば、p⁺-GaAs外部ベース層18側壁にSiNサイドウォール層40が形成されている点を除けば、上記第1の実施例によるHBTと同じであるため、上記第1の実施例の場合と同様の効果を奏することができる。

【0059】また、p⁺-GaAs外部ベース層18側壁にSiNサイドウォール層40を形成することにより、その中にp⁺-GaAs真性ベース層22及びn-Al_{0.15}Ga_{0.85}Asエミッタ層24等を再成長させる開口部の大きさを小さくすることができるため、エミッタ・ベース接合面積を更に微細化することが可能となる。そしてこのSiNサイドウォール層40の厚さを制御することにより、微細化の程度を容易に制御することもできる。

【0060】尚、本実施例においては、上記第1の実施例によるHBTのp⁺-GaAs外部ベース層18側壁

15

にSiNサイドウォール層40を形成した場合について説明したが、上記第2及び第3の実施例によるHBTのp⁺-GaAs外部ベース層18側壁にSiNサイドウォール層を形成してもよい。また、上記第1乃至第4の実施例においては、AlGaAs/GaAs系のHBTに本発明を適用したが、これに限定されることなく、例えばInP/InGaAs系、GaAs/Ge系などの他の化合物半導体を用いたHBTに適用することも可能である。

【0061】

【発明の効果】以上説明したように、本発明によれば、コレクタ層又はベース層と外部ベース層との間にエッチングストップ層を設け、このエッチングストップ層により外部ベース層の選択的エッチングを強制的に停止させた後、露出させたコレクタ層又はベース層上に真性ベース層及びエミッタ層を順に再成長させることにより、真性ベース領域の厚さがエッチングによって制御されるのではなく結晶成長によって制御されるため、その制御性や再現性は飛躍的に向上し、真性ベース層を極限まで薄層化することが可能となる。

【0062】また、再成長界面はベース・コレクタ接合面又はベース中であって、素子特性に大きな影響を与えるエミッタ・ベース接合面ではないため、再成長に伴う再成長界面のコンタミネーションがエミッタ・ベース接合面にまで影響することはなく、良好な素子特性を実現することができる。また、エミッタ・ベース接合面積は、メサ構造によって決定されるのではなく、外部ベース層の選択的エッチングにより形成する開口部の大きさによって決定されるため、素子の微細化が可能であり、低消費電力化に有利である。

【0063】更に、外部ベース層側壁にサイドウォール層を形成することにより、その中に真性ベース層及びエミッタ層を再成長させる開口部の大きさを制御することができるため、エミッタ・ベース接合面積を更に微細化することが可能となる。従って、高速性に優れ、低消費電力化が可能で、かつ良好な素子特性を有するHBTを容易に得ることができ、HBTの集積回路の高性能化に大きく寄与することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例によるHBTを示す断面図である。

【図2】図1のHBTの製造方法を説明するための工程図（その1）である。

【図3】図1のHBTの製造方法を説明するための工程図（その2）である。

【図4】本発明の第2の実施例によるHBTを示す断面図である。

【図5】図4のHBTの製造方法を説明するための工程図（その1）である。

【図6】図4のHBTの製造方法を説明するための工程

(9)

特開平7-245316

16

図（その2）である。

【図7】本発明の第3の実施例によるHBTを示す断面図である。

【図8】図7のHBTの製造方法を説明するための工程図（その1）である。

【図9】図7のHBTの製造方法を説明するための工程図（その2）である。

【図10】本発明の第4の実施例によるHBTを示す断面図である。

10 【図11】図10のHBTの製造方法を説明するための工程図（その1）である。

【図12】図10のHBTの製造方法を説明するための工程図（その2）である。

【図13】従来の外部ベースに再成長を用いたHBTの製造方法を説明するための工程図である。

【図14】従来のエミッタに再成長を用いたHBTの製造方法を説明するための工程図である。

【符号の説明】

- 10…半絶縁性GaAs基板
- 20 12…n⁺-GaAsサブコレクタ層
- 14…n-GaAsコレクタ層
- 16…n-InGaPエッチングストップ層
- 18…p⁺-GaAs外部ベース層
- 20…SiNマスク層
- 22…p⁺-GaAs真性ベース層
- 24…n-Al_{0.3}Ga_{0.7}Asエミッタ層
- 26…n⁺-Al_{0.3}Ga_{0.7}Asグレーデッド層
- 28…n⁺-GaAsエミッタコンタクト層
- 30…エミッタ電極
- 30 32…ベース電極
- 34…コレクタ電極
- 36…素子間分離領域
- 38…p⁺-GaAsベース層
- 40…SiNサイドウォール層
- 50…半絶縁性GaAs基板
- 52…n⁺-GaAsサブコレクタ層
- 54…n-GaAsコレクタ層
- 56…p-GaAsベース層
- 58…n-AlGaAsエミッタ層
- 40 60…n⁺-GaAsエミッタキャップ層
- 62…WSi層
- 64…SiO₂層
- 66…SiO₂層
- 68…p⁺-GaAs外部ベース層
- 70…Ti/Pt/Auベース電極
- 72…素子間分離領域
- 74…AuGe/Ni/Auコレクタ電極
- 76…SiO₂層
- 78…Ti/Pt/Auエミッタ電極
- 50 80…n⁺-GaAs基板

17
 82...n'-GaAsパッパ層
 84...n-GaAsコレクタ層
 86...p-GaAsベース層
 88...PAS膜
 90...n-AlGaAsエミッタ層

(10)

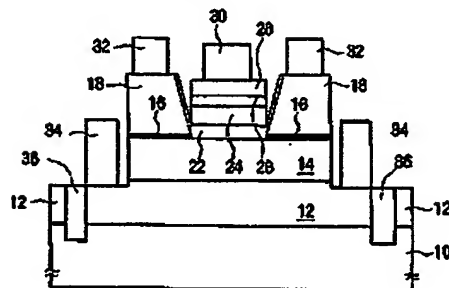
特開平7-245316

18
 *92...n'-GaAsエミッタキャップ層
 94...エミッタ電極
 96...ベース電極
 98...コレクタ電極

*

【図1】

本発明の第1の実施例によるHBTを示す断面図

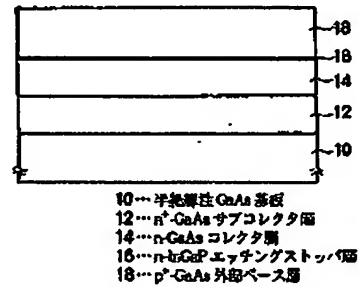


10...半絶縁性GaAs基板
 12...n'-GaAsサブコレクタ層
 14...n-GaAsコレクタ層
 16...n-InGaPエッチングストップ層
 18...p'-GaAs外周ベース層
 20...SiNマスク層
 22...p'-GaAs異性ベース層
 24...n-AlGaAsエミッタ層
 26...n'-AlGaAs-xAsグラデッド層
 28...n'-GaAsエミッタコンタクト層
 30...エミッタ電極
 32...ベース電極
 34...コレクタ電極
 36...電子阻障領域

【図2】

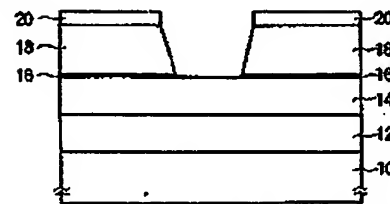
図1のHBTの製造方法を説明するための工程図(その1)

(a)



10...半絶縁性GaAs基板
 12...n'-GaAsサブコレクタ層
 14...n-GaAsコレクタ層
 16...n-InGaPエッチングストップ層
 18...p'-GaAs外周ベース層

(b)



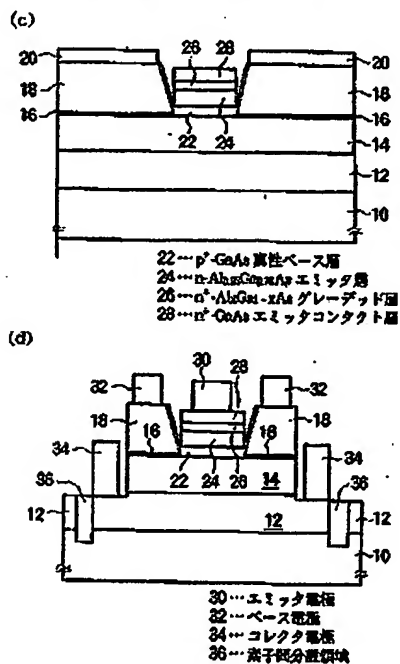
20...SiNマスク層

(11)

特開平 7-245316

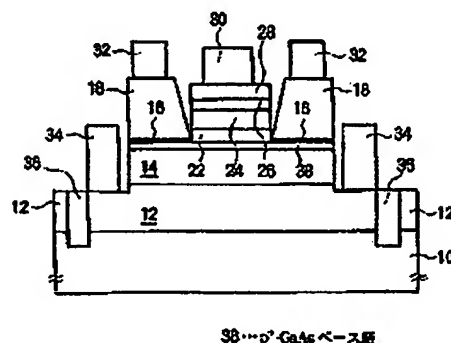
【図 3】

図 1 の HBT の製造方法を説明するための工程図(その 2)



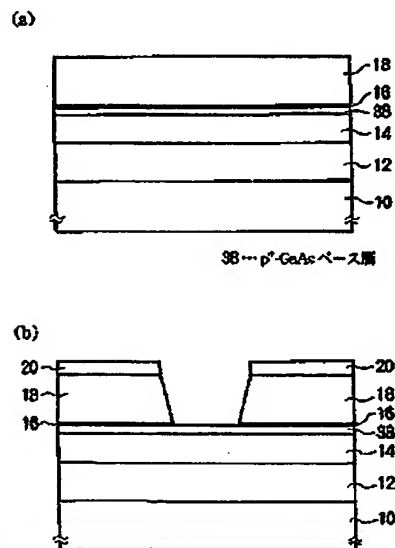
【図 4】

本発明の第 2 の実施例による HBT を示す断面図



【図 5】

図 4 の HBT の製造方法を説明するための工程図(その 1)

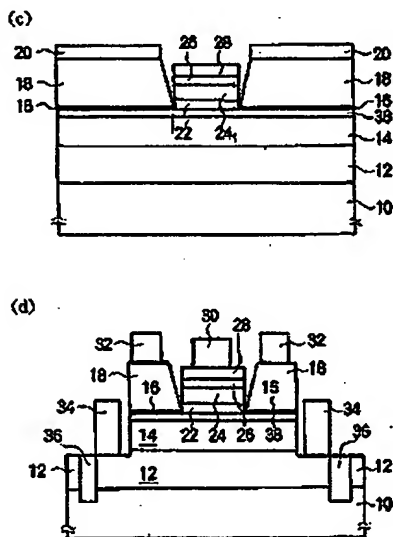


(12)

特開平 7-245316

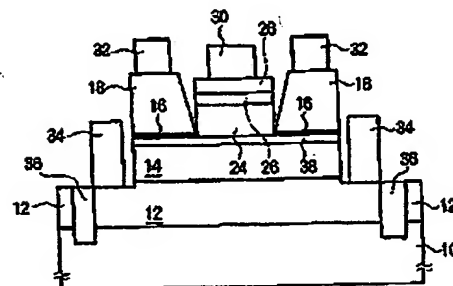
【図6】

図4のHBTの製造方法を説明するための工程図(その2)



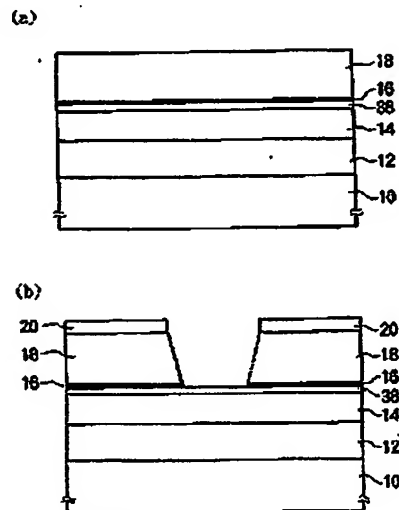
【図7】

本発明の第3の実施例によるHBTを示す断面図



【図8】

図7のHBTの製造方法を説明するための工程図(その1)

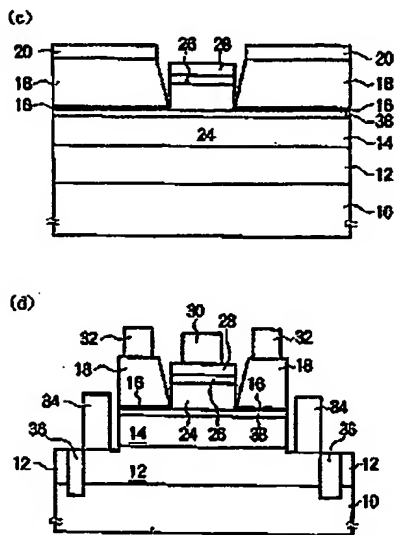


(13)

特開平7-245316

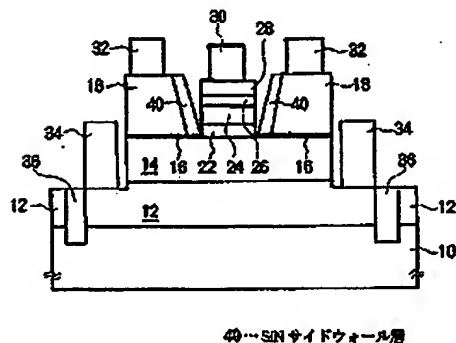
【図9】

図7のHBTの製造方法を説明するための工程図(その2)



【図10】

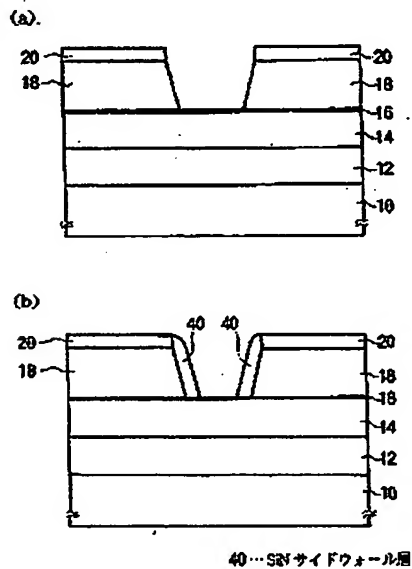
本発明の第4の実施例によるHBTを示す断面図



40...SiNサイドウォール層

【図11】

図10のHBTの製造方法を説明するための工程図(その1)



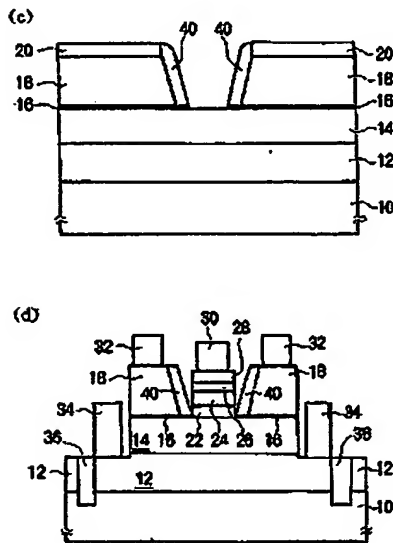
40...SiNサイドウォール層

(14)

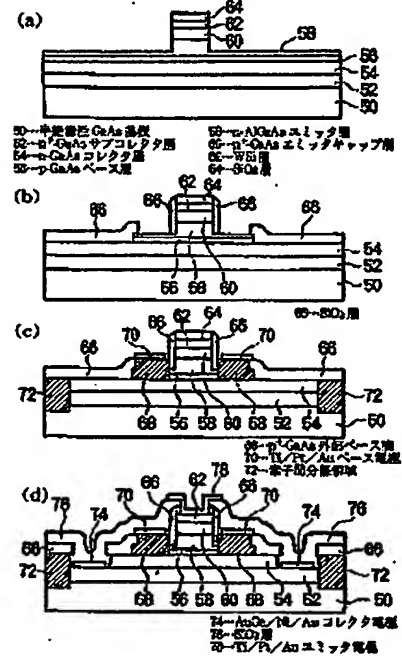
特開平7-245316

【図12】

図10のHBTの製造方法を説明するための工程図(その2)



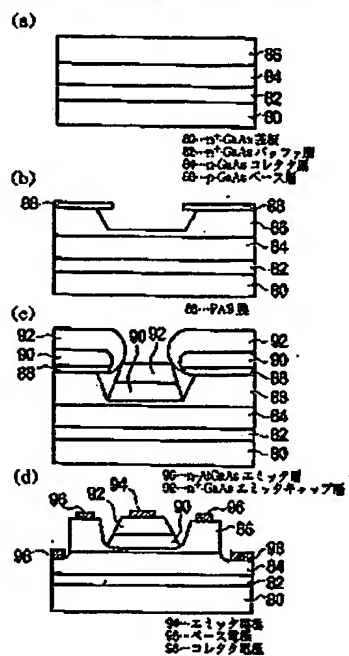
【図13】

従来の外部ベースに再成長を用いた
HBTの製造方法を説明するための工程図

(15)

特開平7-245316

【図14】

従来のエミッタに再成長を用いた
HBTの製造方法を説明するための工程図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.